

【発明の名称】 強誘電体メモリ

【発明の背景】

本発明は、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリに関する。

図25は、第1、第2の従来例及び本発明の各実施形態に係る強誘電体メモリの回路構成を示しており、図25に示すように、強誘電体メモリセルは、1つのトランジスタと1つの強誘電体キャパシタとを有する1トランジスタ1キャパシタ型である。強誘電体メモリセルを構成するトランジスタのゲート電極はワード線に接続されていると共に、該トランジスタのドレイン電極はビット線に接続されている。また、強誘電体メモリセルを構成するキャパシタの一方の電極はプレート線に接続されていると共に、該キャパシタの他方の電極はトランジスタのソース電極に接続されている。これにより、強誘電体メモリセルは、プレート線、ワード線及びビット線に印加される各信号によって制御される。

(第1の従来例)

以下、第1の従来例に係る強誘電体メモリについて、図26、図27及び図28を参照しながら説明する。

図26及び図27は第1の従来例に係る強誘電体メモリセルアレイのレイアウトを示し、図28は図26及び図27におけるD-D線の断面構造を示している。尚、図27は、図26に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図26、図27及び図28において、11a、11b、11c、11dは強誘電体キャパシタの上部電極からなるプレート線を示し、12a、12b、12c、12dは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、13a、13b、13c、13dはアルミニウム配線からなるビット線を示し、14a、14b、14c、14dは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、18は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、19は強誘電体メモリセル18を構成するトランジスタを示している。また、15はストレージノード14a、14b、14c、14dと、トランジスタ19の活性領域16とを

ところで、ストレージノードコンタクト 25 とビット線コンタクト 27 との距離は、活性領域 26 により最短に設定されており、ワード線 22 a の線幅 e と、ワード線 22 a の一方の側端からビット線コンタクト 27 の中心までの距離 d と、ワード線 22 a の他方の側端からストレージノードコンタクト 25 の中心までの距離 f との合計である。

(第1の従来例の課題)

第1の従来例においては、強誘電体メモリセル18のビット線方向の長さL11は、 $L11 = a1/2 + b1 + c1/2$ で与えられる。

従って、強誘電体メモリセル 18 のワード線方向の長さを W_{11} とすると、強誘電体メモリセル 18 の面積 S_{11} は、

$S_{11} = L_{11} \times W_{11} = (a_1/2 + b_1 + c_1/2) \times W_{11}$ で与えられる。

通常、プレート線 11 a、11 b、11 c、11 d のビット線コンタクト側の端面と、ビット線コンタクト 17 との間には、両者の短絡を防止するために、所定の間隔が必要である。このため、ビット線コンタクト 17 を介して隣接するプレート線 11 a、11 b 間の第 1 のプレート線間距離 a_1 は、ビット線コンタクト 17 を介することなく隣接するプレート線 11 b、11 c 間の第 2 のプレート線間距離 c_1 よりも大きくなってしまいうので、 $a_1 > c_1$ の関係がある。

従って、第1の従来例における強誘電体メモリセル18の面積S11は、全て

- ・のプレート線間距離が第2のプレート線間距離 c_1 と等しい場合に比べて、つまり $a_1 = c_1$ の場合に比べて、大きくなってしまいう問題がある。

また、第1の従来例においては、強誘電体メモリセル18のデータを読み書きする際にプレート線11aを駆動するためには、該プレート線11aにワード線12aを介して接続されるビット線13a、13b、13c、13dは全て同時に使用される。この場合、各ビット線13a、13b、13c、13dは互いに隣接しているため、ビット線間に存在する容量に起因してノイズが発生し、これによって、誤動作が起こり易いという問題もある。

(第2の従来例の課題)

第2の従来例においては、強誘電体メモリセル28のビット線方向の長さ L_1 は、 $L_1 = d + e + f + b_1 / 2 + c_1 / 2$ で与えられる。

ビット線コンタクト27を介して隣接するプレート線21a、21b間の第1のプレート線間距離 a_2 の最小値は、第1の従来例における第1のプレート線間距離 a_1 と等しくなるから、

$d + e + f = a_2 / 2 + b_1 / 2 > a_1 / 2 + b_1 / 2$ の関係がある。

この関係と、第1の従来例で示した $a_1 > c_1$ の関係とから、

$d + e + f = a_2 / 2 + b_1 / 2 > c_1 / 2 + b_1 / 2$ の関係が得られる。

近年の傾向として半導体デバイスの微細化に伴って動作電圧の低電圧化が進んでいるが、強誘電体キャパシタは低電圧下では十分な動作が行えない。従って、周辺回路の動作電圧よりも高い電圧を強誘電体キャパシタに印加する必要がある。強誘電体メモリセルを構成するトランジスタとしては、周辺回路に配置されるトランジスタに比べて、ゲート長がより大きくてより高い電圧で動作するトランジスタを使用する必要がある。

しかしながら、第2の従来例において、トランジスタ29のゲート長(=ワード線22aの線幅: e)を大きくすると、強誘電体メモリセル28の面積ひいては強誘電体メモリセルアレイの面積の増大を招くという問題がある。

【発明の概要】

前記に鑑み、本発明は、強誘電体メモリセルの面積の低減を図ることを第1の目的とし、トランジスタのゲート長を大きくしても、強誘電体メモリセルの面積

第1の強誘電体メモリによると、プレート線におけるビット線コンタクトの近傍部には切り欠き部が形成されていると共に、トランジスタの活性領域はワード線方向と交差し且つビット線方向と交差するように延びているため、第1の従来例に比べて、メモリセルのビット線方向の長さを短くできるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

第2の強誘電体メモリによると、ワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されているため、第1の従来例に比べて、メモリセルのワード線方向の長さは大きく低減する。また、プレート線は1組のメモリセルの強誘電体キャパシタに対して共通に設けられていると共に、ビット線コンタクトはプレート線同士の間配置され

、ているため、メモリセルのビット線方向の長さは、第1の従来例に比べて、メモリセルのワード線方向の長さが低減する割合の逆数よりも小さい程度にしか増加しない。従って、第1の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

前記第1の目的を達成するため、本発明に係る第3の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、ワード線は1組のメモリセルのトランジスタに対して共通に設けられており、プレート線は1組のメモリセルの各メモリセルの強誘電体キャパシタ毎に設けられており、ビット線とトランジスタの活性領域とを接続するビット線コンタクトは、1組のメモリセルと対応する複数のプレート線からなるプレート線群同士の間配置されている。

第3の強誘電体メモリによると、ワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されているため、第1の従来例に比べて、メモリセルのワード線方向の長さは大きく低減する。また、ビット線コンタクトは、1組のメモリセルと対応する複数のプレート線からなるプレート線群同士の間配置されているため、メモリセルのビット線方向の長さは、第1の従来例に比べて、メモリセルのワード線方向の長さが低減する割合の逆数よりも小さい程度にしか増加しない。従って、第1の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

第3の強誘電体メモリにおいては、プレート線は1組のメモリセルの各メモリセルの強誘電体キャパシタ毎に設けられているため、第2の強誘電体メモリに比べて、メモリセルのビット線方向の長さは大きくなるが、1組のメモリセルの強誘電体キャパシタに信号を送るビット線同士はプレート線を共用しない。このため、第1の従来例の課題の項において説明した、ビット線間に存在する容量に起因するノイズの発生を防止できるので、ノイズに起因する誤動作を防止することができる。

前記第1の目的を達成するため、本発明に係る第4の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、プレート線は1組のメモリセルの強誘電体キャパシタに対して共通に設けられており、ビット線とトランジスタの活性領域とを接続するビット線コンタクトは、プレート線に対するビット線方向の両側に配置されている。

第4の強誘電体メモリによると、ワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されているため、第1の従来例に比べて、メモリセルのワード線方向の長さは大きく低減する。また、プレート線は1組のメモリセルの強誘電体キャパシタに対して共通に設けられていると共に、ビット線コンタクトはプレート線のビット線方向の両側に配置されているため、メモリセルのビット線方向の長さは、第1の従来例に比べて、メモリセルのワード線方向の長さが低減する割合の逆数よりも小さい程度にしか増加しない。従って、第1の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

前記第2の目的を達成するため、本発明に係る第5の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのトランジスタの活性領域は強誘電体キャパシタ同士の間をビット線方向に延びており、ワード線は、活性領域における強誘電体キャパシタ同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有している。

第5の強誘電体メモリによると、ワード線は、活性領域における強誘電体キャパシタ同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有しているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、ワード線のゲート電極部

及び配線部はいずれも、ワード線方向に延びるプレート線の領域から外側にはみ出さないように形成することができる。このため、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

前記第2の目的を達成するため、本発明に係る第6の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルを構成する複数の強誘電体キャパシタのうち、ビット線コンタクトを介してビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットしていない一方、ビット線コンタクトを介することなくビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットするように配置されており、複数のメモリセルのトランジスタの活性領域は、ワード線方向に隣接する強誘電体キャパシタ同士の間をビット線方向に延びており、ワード線は、活性領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有している。

第6の強誘電体メモリによると、ワード線は、活性領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有しているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、ワード線のゲート電極部及び配線部はいずれも、ワード線方向に延びるプレート線の領域から外側にはみ出さないように形成することができる。このため、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

前記第2の目的を達成するため、本発明に係る第7の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの強誘電体キャパシタはビット線方向にオフセットするように配置されており、プレート線は一対のメモリセルの強誘電体キャパシタに対して共通に設けられており、ワード線は、一対のメモリセルのトランジ

、スタに対して共通に設けられていると共に、一対のメモリセルの強誘電体キャパシタ同士に形成されている。

第7の強誘電体メモリによると、プレート線及びワード線が一对のメモリセルの強誘電体キャパシタに対して共通に設けられていると共に、ワード線が一对のメモリセルの強誘電体キャパシタ同士に形成されているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

第7の強誘電体メモリにおいて、ワード線の線幅は、一対のメモリセルの強誘電体キャパシタ同士の間隔と同程度の大きさ以下に設定されていることが好ましい。

このようにすると、メモリセルのビット線方向の長さを一層小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を一層低減することができる。

前記第2の目的を達成するため、本発明に係る第8の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの強誘電体キャパシタはビット線方向にオフセットするように配置されており、一対のメモリセルのうちの一方のメモリセルのトランジスタの活性領域は、一対のメモリセルのうちの他方のメモリセルの強誘電体キャパシタ同士の間を他方の強誘電体メモリセルのプレート線と交差してビット線方向に延びており、一方のメモリセルのトランジスタに対して第1のワード線が設けられていると共に、他方のメモリセルのトランジスタに対して第2のワード線が設けられており、第2のワード線は、一方のメモリセルのトランジスタの活性領域と交差する領域においては、該活性領域をオフ状態にさせることがない程度に狭い幅に形成されている。

第8の強誘電体メモリによると、第2のワード線は、一方のメモリセルのトランジスタの活性領域と交差する領域においては、該活性領域をオフ状態にさせる

、ことがない程度に狭い幅に形成されているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

前記第2の目的を達成するため、本発明に係る第9の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、ビット線は、複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの強誘電体キャパシタ同士の間をビット線方向に延びる活性領域からなると共に、複数のメモリセルのトランジスタの活性領域と一体に形成されており、ワード線は、ビット線の上に形成されビット線をオフ状態にさせることがない狭い幅の配線部と、トランジスタの活性領域の上に形成され配線部よりも幅が広いゲート電極部とを有している。

第9の強誘電体メモリによると、ワード線は、ビット線の上に形成されビット線をオフ状態にさせることがない狭い幅の配線部と、トランジスタの活性領域の上に形成され配線部よりも幅が広いゲート電極部とを有しているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【図面の説明】

図1は第1の実施形態に係る強誘電体メモリのレイアウト図である。

図2は第1の実施形態に係る強誘電体メモリのレイアウト図である。

図3は第1の実施形態に係る強誘電体メモリの断面図であって、図1及び図2におけるA-A線の断面図である。

図4は第1の実施形態の変形例に係る強誘電体メモリのレイアウト図である。

図5は第2の実施形態に係る強誘電体メモリのレイアウト図である。

図6は第2の実施形態に係る強誘電体メモリのレイアウト図である。

図7は第3の実施形態に係る強誘電体メモリのレイアウト図である。

図8は第3の実施形態に係る強誘電体メモリのレイアウト図である。

図 9 は第 4 の実施形態に係る強誘電体メモリのレイアウト図である。

図 10 は第 4 の実施形態に係る強誘電体メモリのレイアウト図である。

図 11 は第 4 の実施形態の変形例に係る強誘電体メモリのレイアウト図である。

図 12 は第 5 の実施形態に係る強誘電体メモリのレイアウト図である。

図 13 は第 5 の実施形態に係る強誘電体メモリのレイアウト図である。

図 14 は第 5 の実施形態に係る強誘電体メモリの断面図であって、図 13 及び図 14 における B－B 線の断面図である。

図 15 は第 6 の実施形態に係る強誘電体メモリのレイアウト図である。

図 16 は第 6 の実施形態に係る強誘電体メモリのレイアウト図である。

図 17 は第 6 の実施形態に係る強誘電体メモリのレイアウト図である。

図 18 は第 7 の実施形態に係る強誘電体メモリのレイアウト図である。

図 19 は第 7 の実施形態に係る強誘電体メモリのレイアウト図である。

図 20 は第 8 の実施形態に係る強誘電体メモリのレイアウト図である。

図 21 は第 8 の実施形態に係る強誘電体メモリのレイアウト図である。

図 22 は第 9 の実施形態に係る強誘電体メモリのレイアウト図である。

図 23 は第 9 の実施形態に係る強誘電体メモリのレイアウト図である。

図 24 は第 9 の実施形態に係る強誘電体メモリの断面図であって、図 22 及び図 23 における C－C 線の断面図である。

図 25 は第 1 及び第 2 の従来例並びに第 1～第 9 の実施形態に係る強誘電体メモリの回路構成を示す図である。

図 26 は第 1 の従来例に係る強誘電体メモリのレイアウト図である。

図 27 は第 1 の従来例に係る強誘電体メモリのレイアウト図である。

図 28 は第 1 の従来例に係る強誘電体メモリの断面図であって、図 26 及び図 27 における D－D 線の断面図である。

図 29 は第 2 の従来例に係る強誘電体メモリのレイアウト図である。

図 30 は第 2 の従来例に係る強誘電体メモリのレイアウト図である。

図 31 は第 2 の従来例に係る強誘電体メモリの断面図であって、図 29 及び図 30 における E－E 線の断面図である。

【発明の実施の形態】

（第１の実施形態）

以下、第１の実施形態に係る強誘電体メモリについて、図１、図２及び図３を参照しながら説明する。

図１及び図２は第１の実施形態に係る強誘電体メモリセルアレイのレイアウトを示し、図３は図１及び図２におけるＡ－Ａ線の断面構造を示している。尚、図２は、図１に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図１、図２及び図３において、１０１ａ、１０１ｂ、１０１ｃ、１０１ｄは強誘電体キャパシタの上部電極からなるプレート線を示し、１０２ａ、１０２ｂ、１０２ｃ、１０２ｄは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、１０３ａ、１０３ｂ、１０３ｃ、１０３ｄはアルミニウム配線からなるビット線を示し、１０４ａ、１０４ｂ、１０４ｃ、１０４ｄは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、１０８は１トランジスタ１キャパシタ型の１ビットの強誘電体メモリセルを示し、１０９は強誘電体メモリセル１０８を構成するトランジスタを示している。また、１０５ａはストレージノード１０４ａとトランジスタ１０９の活性領域１０６とを接続するストレージノードコンタクトを示し、１０７は、ビット線１０３ａとトランジスタ１０９の活性領域１０６とを接続するビット線コンタクトを示している。

また、図１において、ｂ１は、ストレージノード１０４ａ～１０４ｄを含むプレート線１０１ａ～１０１ｄの線幅を示し、ｃ１は、ビット線コンタクト１０７を介することなく隣接するプレート線１０１ｂ、１０１ｃ間の距離である第１のプレート線間距離を示し、ｃ２はビット線コンタクト１０７を介して隣接するプレート線１０１ａ、１０１ｂ間の距離である第２のプレート線間距離を示している。

図１に示すように、プレート線１０１ａ～１０１ｄは、ワード線方向に隣接する強誘電体メモリセル１０８のストレージノード１０４ａ～１０４ｄの上をワード線方向（図１における左右方向）に延びている。

、ビット線103a~103dは、ワード線方向に隣接する強誘電体メモリセルのストレージノード104a~104d同士の間をビット線方向（図1における上下方向）に延びている。

ビット線コンタクト１０７は、ビット線１０３ aの下で且つビット線方向に隣接するプレート線（１０１ a、１０１ b）同士の間配置されている。

プレート線101aにおけるビット線コンタクト107の近傍部には切り欠き部が形成されており、これによって、プレート線101aの側端とビット線コンタクト107との間には所定の間隔が確保されている。

ワード線102aは、ストレージノードコンタクト105とビット線コンタクト107との間を折れ曲がりながらジグザグ状に延びている。

トランジスタ１０９の活性領域１０６は、ビット線方向に隣接する一対のストレージノードコンタクト１０５ａ、１０５ｂと、該一対のストレージノードコンタクト１０５ａ、１０５ｂに隣接するビット線コンタクト１０７とを結ぶようにＬ字状に形成されており、これによって、トランジスタ１０９の活性領域１０６は、ワード線方向と交差し且つビット線方向と交差するように延びている。

第1の実施形態においては、第2のプレート線間距離 c_2 は、第1のプレート線間距離 c_1 と等しく設定されている。

このため、強誘電体メモリセル 108 のビット線方向の長さ L_1 は、

$L_1 = b_1 + c_1$ で与えられる。

また、第1の従来例では、強誘電体メモリセル18のビット線方向の長さL11は、 $L11 = a1 / 2 + b1 + c1 / 2$ で与えられているので、第1の従来例と第1の実施形態とでは、強誘電体メモリセルのビット線方向の長さの差 $L11 - L1$ は、 $L11 - L1 = (a1 - c1) / 2$ で与えられる。

前述のように、 $a_1 > c_1$ の関係があるので、 $L_{11} > L_1$ の関係が成り立つ

従って、第1の実施形態における強誘電体メモリセル108の面積は、第1の従来例における強誘電体メモリセル18の面積よりも小さくなる。

(第1の実施形態の変形例)

図４は、第１の実施形態の変形例に係る強誘電体メモリセルアレイのレイアウト

トを示している。

第1の実施形態においては、トランジスタ109の活性領域106は、ビット線方向に隣接する一対のストレージノードコンタクト105a, 105bと、該一対のストレージノードコンタクト105a, 105bに隣接するビット線コンタクト107とを結ぶようにL字状に形成されていたが、変形例においては、トランジスタ109の活性領域106は、ビット線方向及びワード線方向にそれぞれ隣接する、つまり斜め方向に位置する一対のストレージノードコンタクト105a, 105bと、該一対のストレージノードコンタクト105a, 105b同士の上に位置するビット線コンタクト107とを結ぶように直線状に形成されており、これによって、トランジスタ109の活性領域106は、ワード線方向と交差し且つビット線方向と交差するように延びている。

(第2の実施形態)

以下、第2の実施形態に係る強誘電体メモリについて、図5及び図6を参照しながら説明する。

図5及び図6は第2の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図6は、図5に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図5及び図6において、201a、201bは強誘電体キャパシタの上部電極からなるプレート線を示し、202a、202bは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、203a、203b、203c、203d、203e、203f、203g、203hはアルミニウム配線からなるビット線を示し、204a、204b、204c、204d、204e、204f、204g、204hは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、208は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、209a、209bは強誘電体メモリセル208を構成するトランジスタを示している。また、205はストレージノード204a～204hとトランジスタ209a、209bの活性領域206とを接続するストレージノードコンタクトを示し、207は、ビット線2

、03 a～203 hとトランジスタ209 a、209 bの活性領域206とを接続するビット線コンタクトを示している。

また、図5において、a1は、ビット線コンタクト207を介して隣接するプレート線201 a、201 b間の距離を示し、b1は第1の従来例におけるストレージノードを含むプレート線12 a、12 bの線幅を示し、b2は2行分のストレージノード204 a～204 hを含むプレート線201 a、202 bの線幅を示し、c1はビット線方向に隣接する一対のストレージノード(204 a、204 b)、(204 c、204 d)、(204 e、204 f)、(204 g、204 h) 同士の距離を示している。

図5に示すように、ワード線方向に隣接する一対の強誘電体メモリセル208の強誘電体キャパシタのストレージノード(204 a、204 b)、(204 c、204 d)、(204 e、204 f)、(204 g、204 h)はビット線方向にオフセットするように配置されている。

尚、強誘電体メモリセル208のワード線方向の長さは、第1の従来例に係る強誘電体メモリセル18のワード線方向の長さの1/2に設定されている。

プレート線201 a、201 bは、ビット線方向にオフセットする一対のメモリセルの強誘電体キャパシタのストレージノード204 a～204 hに対して共通に設けられている。

ワード線202 a、202 bは、ビット線方向にオフセットするように配置された強誘電体キャパシタの各ストレージノード204 a～204 hと対応するトランジスタ209 a、209 bに対して共通に設けられている。

ビット線203 a～203 hは、各ストレージノード204 a～204 hの上を個別に延びている。

ビット線コンタクト207は、各ビット線203 a～203 hの下で且つビット線方向に隣接するプレート線201 a、201 b同士の間に配置されている。

ところで、プレート線201 a、202 bと、ストレージノード204 a～204 hとは同じ材料からなるため、加工可能な最小間隔は等しくなるので、ビット線方向に隣接する一対のストレージノード(204 a、204 b)、(204 c、204 d)、(204 e、204 f)、(204 g、204 h) 同士の距離

、C 1 は、第 1 の従来例における第 2 のプレート線間距離 C 1 と等しくなる。

第 2 の実施形態においては、2 行分のストレージノード 2 0 4 a ~ 2 0 4 h を含むプレート線 2 0 1 a、2 0 2 b の線幅 b 2 は、 $b 2 < 2 b 1 + c 1$ の関係を満たす。

従って、強誘電体メモリセル 2 0 8 のビット線方向の長さ L 2 は、

$$L 2 = a 1 / 2 + b 2 + c 1 / 2$$

$< a 1 / 2 + 2 b 1 + c 1 + c 1 / 2$ の関係を満たす。

第 2 の実施形態に係る強誘電体メモリセル 2 0 8 のワード線方向の長さは、第 1 の従来例に係る強誘電体メモリセル 1 8 のワード線方向の長さ W 1 1 の $1 / 2$ であるから、第 2 の実施形態に係る強誘電体メモリセル 2 0 8 の面積 S 2 は、

$$S 2 = (a 1 / 2 + b 2 + c 1 / 2) \times W 1 1 / 2$$

$$< (a 1 / 2 + 2 b 1 + c 1 + c 1 / 2) \times W 1 1 / 2$$

$$< (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1 - (a 1 - c 1) \times W 1 1 / 4$$

の関係を満たす。

前述のように、第 1 の従来例に係る強誘電体メモリセル 1 8 の面積 S 1 1 は、

$S 1 1 = (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1$ であると共に、 $(a 1 - c 1)$ は正の値であるから、第 2 の実施形態に係る強誘電体メモリセル 2 0 8 の面積 S 2 は、第 1 の従来例に係る強誘電体メモリセル 1 8 の面積 S 1 1 よりも小さくなる。

(第 3 の実施形態)

以下、第 3 の実施形態に係る強誘電体メモリについて、図 7 及び図 8 を参照しながら説明する。

図 7 及び図 8 は第 3 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図 8 は、図 7 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図 7 及び図 8 において、3 0 1 a、3 0 1 b、3 0 1 c、3 0 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、3 0 2 a、3 0 2 b は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、

303a、303b、303c、303d、303e、303f、303g、303hはアルミニウム配線からなるビット線を示し、304a、304b、304c、304d、304e、304f、304g、304hは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、308は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、309a、309bは強誘電体メモリセル308を構成するトランジスタを示している。また、305はストレージノード304a～304hとトランジスタ309a、309bの活性領域306とを接続するストレージノードコンタクトを示し、307は、ビット線303a～303hとトランジスタ309a、309bの活性領域306とを接続するビット線コンタクトを示している。

図7において、a1は、ビット線コンタクト307を介して隣接するプレート線301b、301c間の距離である第1のプレート線間距離を示し、b1は、ストレージノード304a～304hを含むプレート線301a～301dの線幅を示し、c1は、ビット線コンタクト307を介することなく隣接するプレート線301a、301b間の距離である第2のプレート線間距離を示している。

図7に示すように、ワード線方向に隣接する一対の強誘電体メモリセル308の強誘電体キャパシタのストレージノード(304a、304b)、(304c、304d)、(304e、304f)、(304g、304h)はビット線方向にオフセットするように配置されている。

尚、強誘電体メモリセル308のワード線方向の長さは、第1の従来例に係る強誘電体メモリセル18のワード線方向の長さの1/2に設定されている。

ワード線302a、302bは、ビット線方向にオフセットするように配置された一対の強誘電体キャパシタの各ストレージノード304a～304hと対応するトランジスタ309a、309bに対して共通に設けられている。

プレート線301a、301bは、ワード線方向の同一線上に位置する強誘電体キャパシタのストレージノード(304a、304c、304e、304g)、(304b、304d、304f、304h)に対して個別に設けられている。すなわち、1本のワード線302a、302bに対して、2本のプレート線301a、301bが設けられている。

ジスタのゲート電極からなるワード線を示し、403a、403b、403c、403d、403e、403f、403g、403hはアルミニウム配線からなるビット線を示し、404a、404b、404c、404d、404e、404f、404g、404hは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、408は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、409は強誘電体メモリセル408を構成するトランジスタを示している。また、405はストレージノード404a～404hとトランジスタ409の活性領域406とを接続するストレージノードコンタクトを示し、407は、ビット線403a～403hとトランジスタ409の活性領域406とを接続するビット線コンタクトを示している。

また、図9において、a1はビット線コンタクト407を介して隣接するプレート線401間の距離を示し、b1は第1の従来例におけるストレージノードを含むプレート線11a、11bの線幅を示し、b2は2行分のストレージノード404a～404hを含むプレート線401a、402bの線幅を示し、c1はビット線方向に隣接する一対のストレージノード(404a、404b)、(404c、404d)、(404e、404f)、(404g、404h)同士の距離を示している。

図9に示すように、ワード線方向に隣接する一対の強誘電体メモリセル408の強誘電体キャパシタのストレージノード(404a、404b)、(404c、404d)、(404e、404f)、(404g、404h)はビット線方向にオフセットするように配置されている。

尚、強誘電体メモリセル408のワード線方向の長さは、第1の従来例に係る強誘電体メモリセル18のワード線方向の長さの1/2に設定されている。

プレート線401は、ビット線方向にオフセットする一対のメモリセルの強誘電体キャパシタのストレージノード404a～404hに対して共通に設けられている。

ワード線402a、402bは、ワード線方向の同一線上に位置する強誘電体キャパシタのストレージノード(404a、404c、404e、404g)、(404b、404d、404f、404h)に対して個別に設けられている。

すなわち、2本のワード線402a、402bに対して、1本のプレート線401が設けられている。

ビット線403a～403hは、各ストレージノード404a～404hの上を個別に延びている。

ビット線コンタクト407は、各ビット線403a～403hの下で且つビット線方向に隣接するプレート線401同士の間配置されている。

ところで、プレート線401とストレージノード404a～404hとは同じ材料からなるため、加工可能な最小間隔は等しくなるので、ビット線方向に隣接する一対のストレージノード(404a、404b)、(404c、404d)、(404e、404f)、(404g、404h)同士の距離C1は、第1の従来例における第2のプレート線間距離C1と等しくなる。

第4の実施形態においては、2行分のストレージノード404a～404hを含むプレート線401の線幅b2は、 $b2 < 2b1 + c1$ の関係を満たす。

第4の実施形態に係る強誘電体メモリセル408のビット線方向の長さL4は、 $L4 = a1 + b2 < a1 + 2b1 + c1$ の関係を満たす。

第4の実施形態に係る強誘電体メモリセル408のワード線方向の長さは、第1の従来例に係る強誘電体メモリセル18のワード線方向の長さW11の1/2であると共に、前述のように、第1の従来例に係る強誘電体メモリセル18の面積S11は、 $S11 = (a1/2 + b1 + c1/2) \times W11$ であるから、第4の実施形態に係る強誘電体メモリセル408の面積S4は、

$$S4 = (a1 + 2b1) \times W11 / 2$$

$$< (a1 + 2b1 + c1) \times W11 / 2$$

$$< (a1/2 + b1 + c1/2) \times W11 = S11 \text{ の関係を満たす。}$$

従って、第4の実施形態に係る強誘電体メモリセル408の面積S4は、第1の従来例に係る強誘電体メモリセル18の面積S11よりも小さくなる。

(第4の実施形態の変形例)

図11は、第1の実施形態の変形例に係る強誘電体メモリセルアレイのレイアウトを示している。

該変形例においては、第1の実施形態と同様に、プレート線401におけるビ

ビット線コンタクト407の近傍部には切り欠き部が形成されており、ワード線402a、402bは、ストレージノードコンタクト405とビット線コンタクト407との間を折れ曲がりながらジグザグ状に延びており、活性領域406は、ビット線方向に隣接する一対のストレージノードコンタクト405と、該一対のストレージノードコンタクト405に隣接するビット線コンタクト407とを結ぶようにL字状に形成されている。

(第5の実施形態)

以下、第5の実施形態に係る強誘電体メモリについて、図12、図13及び図14を参照しながら説明する。

図12及び図13は第4の実施形態に係る強誘電体メモリセルアレイのレイアウトを示し、図14は図12及び図13におけるB-B線の断面構造を示している。尚、図13は、図12に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図12、図13及び図14において、501a、501b、501c、501dは強誘電体キャパシタの上部電極からなるプレート線を示し、502a、502b、502c、502dは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、503a、503b、503c、503dはアルミニウム配線からなるビット線を示し、504a、504b、504c、504dは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、508は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、509は強誘電体メモリセル508を構成するトランジスタを示している。また、505はストレージノード504a～504dとトランジスタ509の活性領域506とを接続するストレージノードコンタクトを示し、507はビット線503a～503dとトランジスタ509の活性領域506とを接続するビット線コンタクトを示している。

また、図12において、a1は、ビット線コンタクト507を介して隣接するプレート線501a、501b間の第1のプレート線間距離を示し、b1は、ストレージノード504a～504dを含むプレート線501a～501dの線幅を示し、c1は、ビット線コンタクト507を介することなく隣接するプ

、プレート線501b、501c間の距離である第2のプレート線間距離を示している。

図 1 2 に示すように、プレート線 5 0 1 a ~ 5 0 1 d は、ワード線方向に隣接する強誘電体メモリセルのストレージノード 5 0 4 a ~ 5 0 4 d の上をワード線方向に延びている。

ビット線503a~503dは、ワード線方向に隣接する強誘電体メモリセルのストレージノード504a~504d同士の間を延びている。

ビット線コンタクト507は、ビット線503a~503dの下で且つビット線方向に隣接するプレート線(501a、501b)、(501c、501d)同士の間配置されている。

トランジスタ 509 a, 509 b の活性領域 506 は、ビット線方向に隣接する一対のストレージノードコンタクト 505 a, 505 b から互いに互いに離れるように延びた後、ビット線 503 a の方に折れ曲がり、その後、ビット線 503 a の下側つまりストレージノード同士の間をビット線方向に延びている。

ワード線502a~502dは、活性領域506におけるストレージノード504a~504d同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード504a~504dの近傍に形成され相対的に狭い幅を有する配線部とを有している。

ところで、第5の実施形態においては、ワード線502a~502dは、活性領域506におけるストレージノード504a~504d同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード504a~504dの近傍に形成され相対的に狭い幅を有する配線部とを有しているため、トランジスタ509のゲート長を第2の従来例のトランジスタ29のゲート長と同一寸法に設定しても、ワード線502a~502dをプレート線501a~501dからはみ出さないように形成することができる。

第5の実施形態に係る強誘電体メモリセル508のビット線方向の長さL5は、 $L5 = a1/2 + b1 + c1/2$ で与えられる。

一方、第2の従来例に係る強誘電体メモリセル28のビット線方向の長さL12は、 $L12 = d + e + f + b1/2 + c1/2$ で与えられる。

従って、 $L_{12} - L_5 = (d + e + f) - (a_1/2 + b_1/2)$ が成り立つ

ところで、第2の従来例の課題の項において説明したように、

$d + e + f = a_2/2 + b_1/2 > a_1/2 + b_1/2$ の関係があるので、

$L_{12} > L_5$ となる。

従って、第5の実施形態に係る強誘電体メモリセル508の面積を、第2の従来例に係る強誘電体メモリセル28の面積よりも小さくすることができる。

この場合、トランジスタ509のゲート長(=e)が大きくなればなるほど、第5の実施形態に係る強誘電体メモリセル508の面積と、第2の従来例に係る強誘電体メモリセル28の面積との差は大きくなる。

(第6の実施形態)

以下、第6の実施形態に係る強誘電体メモリについて、図15、図16及び図17を参照しながら説明する。

図15～図17は第6の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図16は図15に示すレイアウトから、プレート線、ワード線、ビット線、ストレージノード及びビット線コンタクトのみを抜き出して示しており、図17は、図15に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図15～図17において、601a、601b、601c、601dは強誘電体キャパシタの上部電極からなるプレート線を示し、602a、602b、602c、602dは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、603a、603b、603c、603dはアルミニウム配線からなるビット線を示し、604a、604b、604c、604dは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、608は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、609は強誘電体メモリセル608を構成するトランジスタを示している。また、605はストレージノード604aとトランジスタ609の活性領域606とを接続するストレージノードコンタクトを示し、607は、ビット線603aとトランジスタ609の活性領域606とを接続するビット線コンタクト

・を示している。

図15及び図16において、a1は、ビット線コンタクト607を介して隣接するプレート線(601a、601b)、(601c、601d)間の距離である第1のプレート線間距離を示し、b1は、ストレージノード604a~604dを含むプレート線601a~601dの線幅を示し、c1は、ビット線コンタクト607を介することなく隣接するプレート線601b、601c間の距離である第2のプレート線間距離を示している。

図15に示すように、ビット線コンタクト607を介してビット線方向に隣接する強誘電体メモリセル(608aと608b)の強誘電体キャパシタのストレージノード(第1行目のストレージノード604aと第4行目のストレージノード604e)同士はワード線方向にオフセットしないように(ビット線方向の同一線上に位置するように)配置されている一方、ビット線コンタクト607を介することなく同一のビット線を共有し且つ隣接する強誘電体メモリセル(608aと608c、又は608bと608d)の強誘電体キャパシタのストレージノード(第1行目のストレージノード604aと第2行目のストレージノード604f、又は第3行目のストレージノード604gと第4行目のストレージノード608b)同士はワード線方向にオフセットするように配置されている。

尚、強誘電体メモリセル608のワード線方向の長さは、第2の従来例に係る強誘電体メモリセル28のワード線方向の長さの1/2に設定されている。

ビット線603aは、ビット線方向に延びた後、ビット線コンタクト607を介することなく同一のビット線を共有し且つ隣接する強誘電体メモリセル(608aと608c)の間をワード線方向に折れ曲がり、その後、ビット線コンタクト607を介してビット線方向に隣接するメモリセル(608aと608b)の強誘電体キャパシタのストレージノード(第1行目のストレージノード604aと第4行目のストレージノード608b)の間をビット線方向に延びた後、ビット線コンタクト607を介することなく同一のビット線を共有し且つ隣接するメモリセル(608bと608d)の強誘電体キャパシタのストレージノード(第3行目のストレージノード604gと第4行目のストレージノード608b)の間をワード線方向に折れ曲がり、その後、ビット線方向に延びている。

、活性領域606は、ビット線コンタクト607を共有し且つワード線方向にオフセットすることなく配置された1組のストレージノード（第1行目及び第4行目のストレージノード）同士の間を延びている。

従って、プレート線601aを駆動するときにはワード線602bを動作させる一方、プレート線601bを駆動するときにはワード線602aを動作させる。

ワード線602a～602dは、活性領域606の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード604a～604dの近傍に形成され相対的に狭い幅を有する配線部とを有している。

第6の実施形態においては、ワード線602bは、活性領域606の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード604a～604dの近傍に形成され相対的に狭い幅を有する配線部とを有しているため、活性領域606上のみにおいてトランジスタ609のゲート長を第2の従来例のトランジスタ29のゲート長と同一寸法に設定することができる。

第6の実施形態に係る強誘電体メモリセル608のビット線方向の長さL6は、 $L6 = a1 + 2b1 + c1$ で与えられる。

第6の実施形態に係る強誘電体メモリセル608のワード線方向の長さは、第2の従来例に係る強誘電体メモリセル28のワード線方向の長さW12の $1/2$ であるから、第6の実施形態に係る強誘電体メモリセル608の面積S6は、

$$\begin{aligned} S6 &= (a1 + 2b1 + c1) \times W12 / 2 \\ &= (a1 / 2 + b1 + c1 / 2) \times W12 \text{で与えられる。} \end{aligned}$$

一方、第2の従来例に係る強誘電体メモリセル28の面積S12は、

$$S12 = (d + e + f + b1 / 2 + c1 / 2) \times W12 \text{で与えられる。}$$

従って、 $S12 - S6 = \{ (d + e + f) - (a1 / 2 + b1 / 2) \} \times W12$ が成り立つ。

ところで、第2の従来例の課題の項において説明したように、

$$d + e + f = a2 / 2 + b1 / 2 > a1 / 2 + b1 / 2 \text{の関係があるので、}$$

$$S12 > S6 \text{となる。}$$

従って、第6の実施形態に係る強誘電体メモリセル608の面積を、第2の従

来例に係る強誘電体メモリセル28の面積よりも小さくすることができる。

この場合、トランジスタ609のゲート長(=e)が大きくなればなるほど、第6の実施形態に係る強誘電体メモリセル508の面積S6と、第2の従来例に係る強誘電体メモリセル28の面積S12との差は大きくなる。

(第7の実施形態)

以下、第7の実施形態に係る強誘電体メモリについて、図18及び図19を参照しながら説明する。

図18及び図19は第7の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図19は、図18に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図18及び図19において、701は強誘電体キャパシタの上部電極からなるプレート線を示し、702は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、703a、703b、703c、703d、703e、703f、703g、703hはアルミニウム配線からなるビット線を示し、704a、704b、704c、704d、704e、704f、704g、704hは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、708は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、709は強誘電体メモリセル708を構成するトランジスタを示している。また、705はストレージノード704a~704hとトランジスタ709の活性領域706とを接続するストレージノードコンタクトを示し、707は、ビット線703a~703hとトランジスタ709の活性領域706とを接続するビット線コンタクトを示している。

図18において、a1は、ビット線コンタクト707を介して隣接するプレート線701間の距離を示し、b1は、第2の従来例におけるストレージノードを含むプレート線21a、21bの線幅を示し、b2は2行分のストレージノード704a~704hを含むプレート線701の線幅を示し、c1は、第2の従来例におけるビット線コンタクト27を介することなく隣接するプレート線21b、21c間の距離を示している。

図18に示すように、プレート線701は、2行分の強誘電体キャパシタのストレージノード704a~704h（例えば、第2行目のストレージノード704a、704c、704e、704g、及び第3行目のストレージノード704b、704d、704f、704h）に対して共通に設けられている。

プレート線701を共通とする2行分の強誘電体キャパシタのストレージノード704a~704hのうち、一方の行（例えば第2行目）のストレージノード704a、704c、704e、704gと、他方の行（例えば第3行目）のストレージノード704b、704d、704f、704hとは、ビット線方向に互いにオフセットするように配置されている。

尚、強誘電体メモリセル708のワード線方向の長さは、第2の従来例に係る強誘電体メモリセル28のワード線方向の長さの1/2に設定されている。

ワード線702は、プレート線701を共通とする2行分の強誘電体キャパシタ同士の間（例えば、第2行目のストレージノード704a、704c、704e、704gと第3行目のストレージノード704b、704d、704f、704hとの間）に配置されていると共に、プレート線701を共通とする2行分の強誘電体キャパシタと対応するトランジスタ709に対して共通に設けられている。

ビット線703a~703hは、プレート線701を共通とする2行分の強誘電体キャパシタに対して個別に設けられていると共に、ビット線コンタクト707はビット線703a~703hの下側で且つプレート線701同士の間領域に配置されている。

ところで、プレート線701とストレージノード704a~704hとは同じ材料からなるため、加工可能な最小間隔は等しくなるので、プレート線701を共通とする2行分の強誘電体キャパシタのストレージノード704a~704hのうち、一方の行（例えば第2行目）のストレージノード704a、704c、704e、704gと、他方の行（例えば第3行目）のストレージノード704b、704d、704f、704hとの距離C1は、第2の従来例における第2のプレート線間距離C1と等しくなる。

また、ワード線702の線幅、つまりトランジスタ709のゲート長は、プレ

ート線 701 を共通とする 2 行分の強誘電体キャパシタのストレージノード 704 a ~ 704 h のうち、一方の行（例えば第 2 行目）のストレージノード 704 a、704 c、704 e、704 g と、他方の行（例えば第 3 行目）のストレージノード 704 b、704 d、704 f、704 h との距離と同程度に設定することが可能であるから、強誘電体メモリセル 708 の面積はトランジスタ 709 のゲート長に依存しない。このため、強誘電体メモリセル 708 の面積に影響を及ぼすことなくトランジスタ 709 のゲート長を大きくすることができる。

第 7 の実施形態においては、2 行分のストレージノード 704 a ~ 704 h を含むプレート線 701 の線幅 b_2 は、 $b_2 < 2b_1 + c_1$ の関係を満たす。

従って、第 7 の実施形態に係る強誘電体メモリセル 708 のビット線方向の長さ L_7 は、 $L_7 = a_1 + b_2 < a_1 + 2b_1 + c_1$ で与えられる。

ところで、第 7 の実施形態に係る強誘電体メモリセル 708 のワード線方向の長さは、第 2 の従来例に係る強誘電体メモリセル 28 のワード線方向の長さ W_{12} の $1/2$ に設定されているため、第 2 の従来例に係る強誘電体メモリセル 28 のワード線方向の長さを W_{12} とし、強誘電体メモリセル 28 の面積を S_{12} とすると、第 7 の実施形態に係る強誘電体メモリセル 708 の面積 S_7 は、

$$\begin{aligned}
 S_7 &= (a_1 + b_2) \times W_{12} / 2 \\
 &< (a_1 + 2b_1 + c_1) \times W_{12} / 2 \\
 &< (a_1 / 2 + b_1 + c_1 / 2) \times W_{12} = S_{12} \text{ の関係を満たす。}
 \end{aligned}$$

従って、第 7 の実施形態に係る強誘電体メモリセル 708 の面積を、第 2 の従来例に係る強誘電体メモリセル 28 の面積よりも小さくすることができる。

（第 8 の実施形態）

以下、第 8 の実施形態に係る強誘電体メモリについて、図 20 及び図 21 を参照しながら説明する。

図 20 及び図 21 は第 8 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図 21 は、図 20 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図 20 及び図 21 において、801 a、801 b、801 c、801 d は強誘

、電体キャパシタの上部電極からなるプレート線を示し、802a、802dは多結晶シリコンよりなりアクセストランジスタのゲート電極からなる第1のワード線を示し、802b、802cは多結晶シリコンよりなりアクセストランジスタのゲート電極からなる第2のワード線を示し、803a、803b、803c、803d、803e、803f、803g、803hはアルミニウム配線からなるビット線を示し、804a、804b、804c、804d、804e、804f、804g、804hは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、808a、808bは1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、809a、809bは強誘電体メモリセル808を構成するトランジスタを示し、810はショートチャネルトランジスタを示している。また、805a、805bはストレージノード804a、804bとトランジスタ809a、809bの活性領域806a、806bとを接続するストレージノードコンタクトを示し、807a、807bは、ビット線803a～803hとトランジスタ809a、809bの活性領域806a、806bとを接続するビット線コンタクトを示している。

図20において、a2は、ビット線コンタクト807を介して隣接するプレート線801b、801c間の距離である第1のプレート線間距離を示し、b1は、ストレージノード804a～804hを含むプレート線801a～801dの線幅を示し、c1は、ビット線コンタクト807を介することなく隣接するプレート線801a、801b間の距離である第2のプレート線間距離を示し、dは第2のワード線802bの一方の側端とビット線コンタクト807a、807bの中心との距離を示し、eは第2のワード線802bの線幅を示し、fは第2のワード線802bの他方の側端とストレージノードコンタクト805bの中心との距離を示している。尚、第1のプレート線間距離a2は、プレート線801b、801cの加工により得られる最小の距離ではない。

図20に示すように、ワード線方向に隣接する一対の強誘電体メモリセル808a、808bの強誘電体キャパシタのストレージノード804a、804bはビット線方向にオフセットするように配置されている。

尚、強誘電体メモリセル808a、808bのワード線方向の長さは、第2の

従来例に係る強誘電体メモリセル 28 のワード線方向の長さの $1/2$ に設定されている。

プレート線 801a、801b は、ワード線方向に隣接する強誘電体メモリセルのストレージノード 804a、804b に対して個別に設けられている。

ワード線方向に隣接する一対の強誘電体メモリセル 808a、808b のうちの一方の強誘電体メモリセル 808a を構成するトランジスタ 809a の活性領域 806a は、他方の強誘電体メモリセル 808b を構成する強誘電体キャパシタのストレージノード同士の間を他方の強誘電体メモリセル 808b のプレート線 801b と交差してビット線方向に延びていると共に、他方の強誘電体メモリセル 808b を構成するトランジスタ 809b の活性領域 806b は、一方の強誘電体メモリセル 808a を構成するプレート線 801a とは交差しない。

第 1 のワード線 802a は、一方の強誘電体メモリセル 808a を構成するトランジスタ 809a と対応していると共に、第 2 のワード線 802b は、他方の強誘電体メモリセル 808b を構成するトランジスタ 809b と対応している。

第 2 のワード線 802b は、一方の強誘電体メモリセル 808a を構成するトランジスタ 809a の活性領域 806a と交差する領域においては、該活性領域 806a をオフ状態にさせることがない程度に狭い幅に形成されており、これによって、ショートチャネルトランジスタ 810 が形成されている。

従って、一方の強誘電体メモリセル 808a は、通常のトランジスタ 809a とショートチャネルトランジスタ 810 とを有している。この場合、ショートチャネルトランジスタ 810 のソース・ドレイン間は低インピーダンスであるので、ショートチャネルトランジスタ 810 が一方の強誘電体メモリセル 808a の動作に与える影響は無視することができる。

また、ショートチャネルトランジスタ 810 を用いることにより、活性領域 806a は一方の強誘電体メモリセル 808a のストレージノード 804a と接続されるトランジスタ 809a を構成する第 1 のワード線 802a とは異なる第 2 のワード線 802b と交差している。

第 8 の実施形態に係る強誘電体メモリセル 808a、808b のビット線方向の長さ L_8 は、 $L_8 = d + e + f + b_1/2 + c_1 + b_1 + c_1/2$ で与えられ

る。

第8の実施形態に係る強誘電体メモリセル808a、808bのワード線方向の長さは第2の従来例に係る強誘電体メモリセル28のワード線方向の長さW12の1/2であるから、

強誘電体メモリセル808a、808bの面積S8は、

$S8 = (d + e + f + b1/2 + c1 + b1 + c1/2) \times W12/2$ で与えられる。

$d + e + f > b1/2 + c1/2$ の関係があるから、

$S8 < (2d + 2e + 2f + b1 + c1) \times W12/2$

$< (d + e + f + b1/2 + c1/2) \times W12$

$= S12$ (第2の従来例に係る強誘電体メモリセル28の面積) の関係が成り立つ。

従って、第8の実施形態に係る強誘電体メモリセル808a、808bの面積を、第2の従来例に係る強誘電体メモリセル28の面積よりも小さくすることができる。

(第9の実施形態)

以下、第9の実施形態に係る強誘電体メモリについて、図22、図23及び図24を参照しながら説明する。

図22及び図23は第9の実施形態に係る強誘電体メモリセルアレイのレイアウトを示し、図24は図22及び図23におけるC-C線の断面構造を示している。尚、図23は、図22に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

図22、図23及び図24において、901a、901b、901c、901dは強誘電体キャパシタの上部電極からなるプレート線を示し、902a、902b、902cは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、903a、903b、903c、903dは活性領域からなるビット線を示し、904a、904b、904c、904dは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、908は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、

、909は強誘電体メモリセル908を構成するトランジスタを示している。また、905はストレージノード904a~904dと活性領域からなるビット線903a~903dとを接続するストレージノードコンタクトを示している。

図 22 において、b1 は、ストレージノード 904 a ~ 904 d を含むプレート線 901 a ~ 901 d の線幅を示し、c1 はビット線コンタクトを介することなく隣接するプレート線 901 a、901 b 間の距離を示している。

ビット線は、ビット線方向に並ぶ強誘電体メモリセル 908 のトランジスタ 909 の活性領域と一体に形成されていると共に、ワード線方向に隣接する一対の強誘電体メモリセル 908 の強誘電体キャパシタのストレージノード 904 a ~ 904 d 同士の間をビット線方向に延びている。

ワード線 902a~902c は、ワード線方向に並ぶ強誘電体メモリセル 908 のトランジスタ 909 に共通に設けられている。また、ワード線 902a~902c は、ビット線 903a~903d の上において該ビット線 903a~903d をオフ状態にさせることがない狭い幅の配線部を有していると共に、トランジスタ 909 の活性領域の上に形成され、狭い幅を持つ配線部よりも幅が広いゲート電極部とを有している。

第 9 の実施形態においては、ビット線 903 a ~ 903 d は活性領域からなるため、アルミニウム配線からなるビット線を有している場合とは異なり、ビット線と活性領域とを接続するビット線コンタクトは不要である。

第 9 の実施形態に係る強誘電体メモリセル 908 のビット線方向の長さ L_9 は、 $L_9 = b_1 + c_1$ で与えられる。

$d + e + f > c^{1/2} + b^{1/2}$ の関係があるから、

$$L_9 = (b_1/2 + c_1/2) + (b_1/2 + c_1/2)$$

$$< d + e + f + (b_1/2 + c_1/2)$$

= L 1 2 (第 2 の従来例に係る強誘電体メモリセル 2 8 のビット線方向の長さ) の関係が成り立つ。

従って、第 9 の実施形態に係る強誘電体メモリセル 908 の面積を、第 2 の従来例に係る強誘電体メモリセル 28 の面積よりも小さくすることができる。

【請求の範囲】

1. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

プレート線は、前記複数のメモリセルのうちワード線方向に隣接するメモリセルの前記強誘電体キャパシタの上をワード線方向に延びており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、ビット線方向に隣接する前記プレート線同士の間で且つワード線方向に隣接する前記強誘電体キャパシタ同士の間領域に配置されており、

前記プレート線における前記ビット線コンタクトの近傍部には切り欠き部が形成されており、

前記複数のメモリセルの前記トランジスタの活性領域は、ワード線方向と交差し且つビット線方向と交差するように延びている。

2. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの前記強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、

ワード線は、前記1組のメモリセルの前記トランジスタに対して共通に設けられており、

プレート線は、前記1組のメモリセルの前記強誘電体キャパシタに対して共通に設けられており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、ビット線方向に隣接する前記プレート線同士の間に配置されている。

3. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの前記強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、

ワード線は、前記1組のメモリセルの前記トランジスタに対して共通に設けら

れており、

プレート線は、前記1組のメモリセルの各メモリセルの前記強誘電体キャパシタ毎に設けられており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、前記1組のメモリセルと対応する複数のプレート線からなるプレート線群同士の間配置されている。

4. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの前記強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、

プレート線は、前記1組のメモリセルの前記強誘電体キャパシタに対して共通に設けられており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、前記プレート線に対するビット線方向の両側に配置されていることを特徴とする強誘電体メモリ。

5. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルの前記トランジスタの活性領域は、前記強誘電体キャパシタ同士の間をビット線方向に延びており、

ワード線は、前記活性領域における前記強誘電体キャパシタ同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、前記強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有している。

6. 請求項5の強誘電体メモリにおいて、

前記活性領域は折れ曲がった形状を有している。

7. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルを構成する複数の前記強誘電体キャパシタのうち、ビッ

ト線コンタクトを介してビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットしていない一方、ビット線コンタクトを介することなくビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットするように配置されており、

前記複数のメモリセルのトランジスタの活性領域は、ワード線方向に隣接する前記強誘電体キャパシタ同士の間をビット線方向に延びており、

ワード線は、前記活性領域の上に形成され相対的に広い幅を有するゲート電極部と、前記強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有している。

8. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの前記強誘電体キャパシタはビット線方向にオフセットするように配置されており、

プレート線は、前記一対のメモリセルの前記強誘電体キャパシタに対して共通に設けられており、

ワード線は、前記一対のメモリセルの前記トランジスタに対して共通に設けられていると共に、前記一対のメモリセルの前記強誘電体キャパシタ同士に形成されている。

9. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの前記強誘電体キャパシタはビット線方向にオフセットするように配置されており、

前記一対のメモリセルのうち一方のメモリセルの前記トランジスタの活性領域は、前記一対のメモリセルのうちの他方のメモリセルの前記強誘電体キャパシタ同士の間を前記他方のメモリセルのプレート線と交差してビット線方向に延びており、

前記一方のメモリセルの前記トランジスタに対して第1のワード線が設けられていると共に、前記他方のメモリセルの前記トランジスタに対して第2のワード線が設けられており、

前記第2のワード線は、前記一方のメモリセルのトランジスタの活性領域と交差する領域においては、該活性領域をオフ状態にさせることがない程度に狭い幅に形成されている。

10. トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

ビット線は、前記複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの前記強誘電体キャパシタ同士の間をビット線方向に延びる活性領域からなると共に、前記複数のメモリセルの前記トランジスタの活性領域と一体に形成されており、

ワード線は、前記ビット線の上に形成され、前記ビット線をオフ状態にさせることがない狭い幅の配線部と、前記トランジスタの活性領域の上に形成され、前記配線部よりも幅が広いゲート電極部とを有している。

【要約】 強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる。プレート線は、複数のメモリセルのうちワード線方向に隣接するメモリセルの強誘電体キャパシタの上をワード線方向に延びている。ビット線とトランジスタの活性領域とを接続するビット線コンタクトは、ビット線方向に隣接するプレート線同士の間で且つワード線方向に隣接する強誘電体キャパシタ同士の間領域に配置されている。プレート線におけるビット線コンタクトの近傍部には切り欠き部が形成されている。複数のメモリセルのトランジスタの活性領域は、ワード線方向と交差し且つビット線方向と交差するように延びている。